MS91501BD FPGA ボード取扱説明書

Ver 1.00

2015/09/28

平成 27 年　09 月　28 日

作成：　Megasys

ー 改定履歴 ー

Revision	Date	Author	Comments
1.00	2015.09.28	megasys	Initial Release

ー 目次 ー

1 はじめに 4

1.1 概要 4

2 基板構成 5

2.1 ボード概略図 5

2.2 ボード仕様 6

3 ボード説明 7

3.1 部品配置 7

3.2 電源 8

3.3 発信器 8

3.4 コンフィグレーションモード切り替え用ジャンパ SW 9

3.5 コンフィグレーション用コネクタ 10

4 FPGA コンフィグレーション 12

4.1 FPGA 内部 CRAM コンフィグレーションモード 12

4.2 SPI フラッシュ書込みモード 15

4.3 FPGA 内部 NVCM 書込みモード 17

4.4 SPI フラッシュからのコンフィグレーションモード 18

4.5 FPGA 内部 NVCM からのコンフィグレーションモード 18

5 付属資料 19

5.1 基板外形図 19

5.2 基板回路図 20

5.3 使用部品 21

6 補足 21

1　はじめに

本書は MS91501BD FPGA ボードの取扱説明書です。

1.1　概要

本ボードは Lattice Semiconductor 社製 iCE40 シリーズ LP4K FPGA を使用した FPGA 開発ボードです。

本ボードには電源回路、クロック用発信器、コンフィグレーションスイッチ（リセットスイッチ)、コンフィグレーション用回路、コンフィグレーション用 ROM が装備され、すぐに開発が始められるボードとなっています。

また本ボードは、iCE40 シリーズに特有の 3 種のコンフィグレーション動作モードがサポートされています。
すなわち、コンフィグレーションデータを FPGA へ直接書き込むコンフィグレーション動作モード、基板上のシリアルフラッシュ ROM にコンフィグレーションデータを書込み、この SPI フラッシュから FPGA のコンフィグレーションデータを書き込むコンフィグレーション動作モード、FPGA 内部の不揮発性メモリ（NVCM）にコンフィグレーションデータを書込み、この FPGA 内部 NVCM からコンフィグレーションを行うコンフィグレーション動作モードの 3 種のコンフィグレーション動作モードをサポートします。

2　基板構成

2.1　ボード概略図

本ボードの外形と部品配置の概略図を図 2.1-1 ボード概略図に示す。

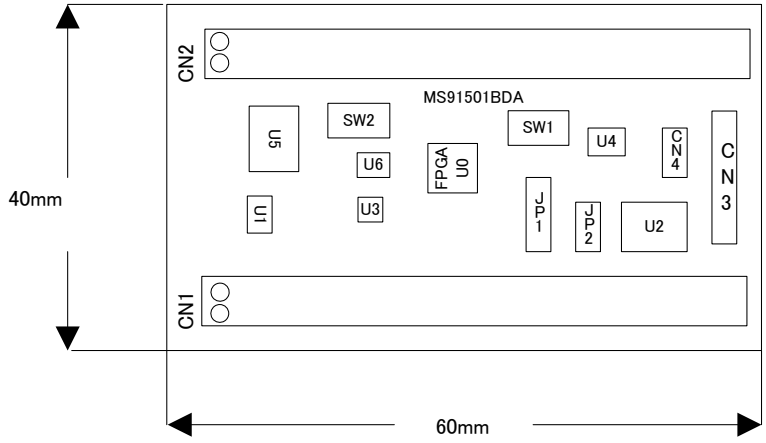


図 2.1-1 ボード概略図

2.2 ボード仕様

本ボードの仕様一覧を下記の表 2.2-1 ボード仕様一覧に示す。

表 2.2-1 ボード仕様一覧

項目	内容	補足
搭載 FPGA	iCE40LP4KCM81	
ユーザーIO	56 本（CN1:28,CN2:28）	
コンフィグレーション用 ROM	M25P20（Micron serial ROM）	又は同等品
電源入力	DC3.3V,DC2.5V(2.5VI/O が必要な時)、その他の FPGA 用内部電源はボード内で生成	
クロック用発信器１	27MH z	
クロック用発信器２	32.768kHz	
ステータス LED１	電源 ON 時点灯	LED1
ステータス LED２	コンフィグレーション完了時消灯（NG で点灯）	LED2
スイッチ１	コンフィグレーション開始(リセット)	SW1
スイッチ２	汎用スイッチ	SW2
コンフィグレーション起動用リセット回路	TPS3808G01DBV 電源電圧検出リセット回路	
I/O コネクタ	2.54mm ピッチ 40PIN×2 個	CN1,CN2
コンフィグレーション用コネクタ１	2.54ｍｍピッチ 6PIN	CN3
コンフィグレーション用コネクタ２	2.54mm ピッチ 2PIN	CN4
コンフィグレーションモード切り替え用ジャンパ SW１	2.54mm ピッチ 3PIN	JP1
コンフィグレーションモード切り替え用ジャンパ SW２	2.54mm ピッチ 2PIN	JP2
プリント基板	ガラスエポキシ 6 層基板 1.0t	
基板寸法	40×60ｍｍ	
質量	約 9g (CN1,CN2 にピンヘッダを装着しない状態)	
付属品１	ジャンパソケット 2 個（コンフィグレーションモード設定用）	
付属品２	2×20PIN ピンヘッダ 2 個	
付属品３	2×20PIN ピンソケット 2 個	

3 ボード説明

3.1 部品配置

本ボードの概略部品配置図を図 3.1-1 概略部品配置図、ボード写真を図 3.1-2 ボード写真に示す。

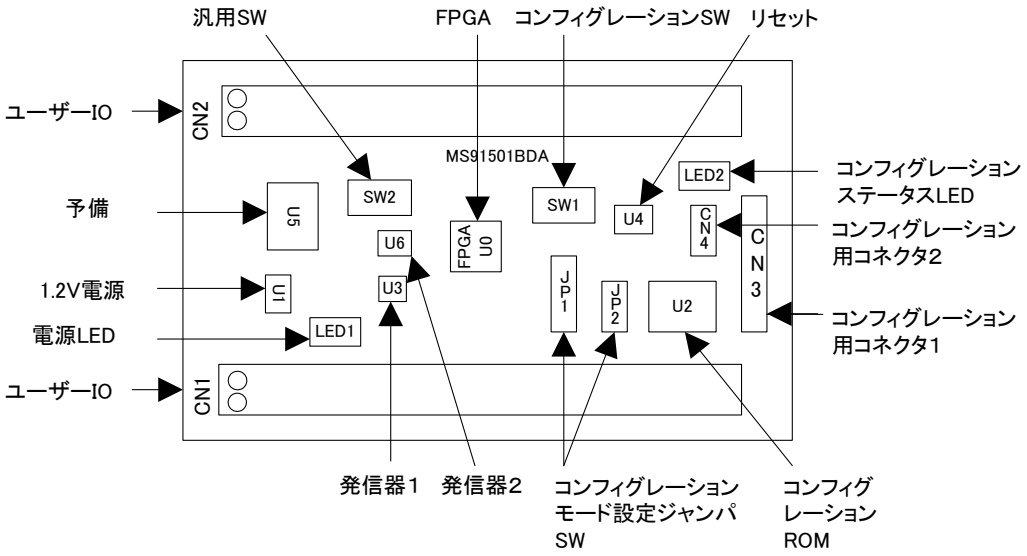


図 3.1-1 概略部品配置図

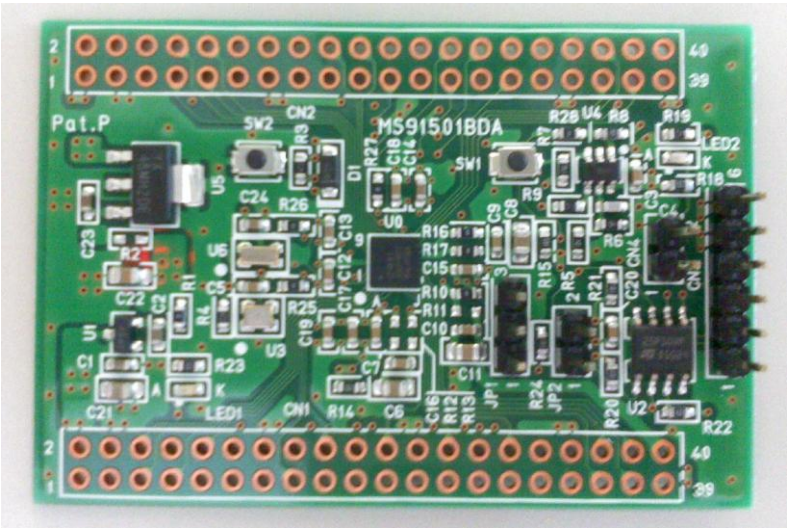


図 3.1-2 ボード写真

3.2 電源

本ボードは外部から 3.3V を供給して使用します。また、2.5V の I/O 端子が必要な場合には外部から 2.5V を追加供給して使用します。(2.5V の I/O を使用しないときには 2.5V の供給は不要です。)

FPGA 内部で使用する 1.2V は本ボード上のレギュレータで生成され FPGA に供給されます。

本ボードでは I/O バンク 3 が本ボード上のジャンパー抵抗の接続を切り替えることにより 2.5V の I/O に切り替え可能な構造になっています。

・R10 と R11 の 0Ω抵抗の接続を変更して切り替えます。

バンク 3 の I/O 電圧	R10	R11
3.3V	実装	未実装
2.5V	未実装	実装

・出荷時は 3.3V の接続状態になっています。

3.3 発信器

本ボード上にクロック用に使用する 27MHz と 32.768kHz の 2 種の発信器が搭載されています。

32.768kHz はボード上のジャンパ抵抗 R26 を未実装とすることにより FPGA への入力を止めることができます。(出荷時は、R26 は実装状態となっています。すなわち FPGA に 32.768kHz が入力される状態となっています。)

また汎用 I/O の一部の端子がクロック入力兼用ピンとしてクロック入力に使用できる構成となっておりますのでボード外部からクロック信号を入力することも可能です。

3.4 コンフィグレーションモード切り替え用ジャンパ SW

本ボードは

1.外部から FPGA 内部のコンフィグレーションメモリへ直接コンフィグレーションデータを送りコンフィグレーションを行うコンフィグレーションモード

2. FPGA 内部の不揮発性メモリ（NVCM）にコンフィグレーションデータを書き込みその不揮発性メモリのデータによりコンフィグレーションを行うモード

3.本ボード上にある FPGA 外部のコンフィグレーション用 ROM（シリアルフラッシュ ROM）にコンフィグレーションデータを書き込み、その ROM データにより FPGA のコンフィグレーションを行うモード

の 3 種のコンフィグレーションモードを切り替えることができます。

コンフィグレーションモードの切り替えはコンフィグレーションモード切り替え用ジャンパ SW1（JP1）とコンフィグレーションモード切り替え用ジャンパ SW2（JP2）の切り替えと、コンフィグレーションデータダウンロードケーブルとコンフィグレーション用コネクタの間の接続の変更により行います。

各コンフィグレーションモードの接続の詳細は次項 3.5 コンフィグレーションコネクタの項目で説明します。

3.5 コンフィグレーション用コネクタ

本ボード上には FPGA コンフィグレーション用データコネクタ 1（CN3:6PIN）とコンフィグレーション用データコネクタ 2（CN4:2PIN）の 2 種類のコネクタが用意されています。

各コネクタの PIN 番号と信号名の対応を下表に示します。

CN3:6PIN

PIN 番号	1	2	3	4	5	6
端子名	SCK	SI	SO	SS_B	GND	VCC

CN4:2PIN

PIN 番号	1	2
端子名	CRESET_B	CDONE

この上記 2 種類のコネクタと FPGA コンフィグレーションデータダウンロードケーブルの接続およびコンフィグレーションモード切り替え用ジャンパ SW1,2 を下表、表 2.2-1 ボード仕様一覧コンフィグレーション関係モード一覧の様に切り替えることにより 3.4 項で説明した 3 種のコンフィグレーションモードに対応できる構成になっています。

表 3.5-1 表 2.2-1 ボード仕様一覧コンフィグレーション関係モード一覧

動作モード	JP1	JP2	CN3				CN4	
			SCK	SI	SO	SS_B	CDONE	CRESET_B
FPGA 内部 CRAM コンフィグモード	GND (2,3)	OFF	TCK	TDO	TDI	ispEN	INITN	TRST
SPI フラッシュ書込みモード	open	ON (1,2)	TCK	TDI	TDO	ispEN	INITN	TRST
FPGA 内部 NVCM 書込みモード	GND (2,3)	OFF	TCK	TDO	TDI	ispEN	INITN	TRST
SPI フラッシュからのコンフィグレーション	open	ON (1,2)	(TCK)	(TDI)	(TDO)	(ispEN)	(INITN)	(TRST)
FPGA 内部 NVCM からのコンフィグレーション	VCC (1,2)	OFF	(TCK)	(TDO)	(TDI)	(ispEN)	(INITN)	(TRST)

＊CN3 の GND,VCC はそれぞれダウンロードケーブルの GND,VCC と接続する必要があります。（SPI フラッシュからのコンフィグレーションのときと FPGA 内部 NVCM からのコンフィグレーションモードのときを除く。これらのモードのときは VCC,GND ともに OPEN で OK です。）

＊＊SPI フラッシュからのコンフィグレーションのときと FPGA 内部 NVCM からのコンフィグレーションモードのときの CN3,CN4 端子は OPEN で OK です。（上表のカッコ付きの信号は OPEN でよい。）

＊＊＊すでに FPGA 内部の NVCM に書き込みが行われた後は NVCM へ新たなデータの書き込みはできませんので注意してください。(内部 NVCM はワンタイムメモリとなっています。)

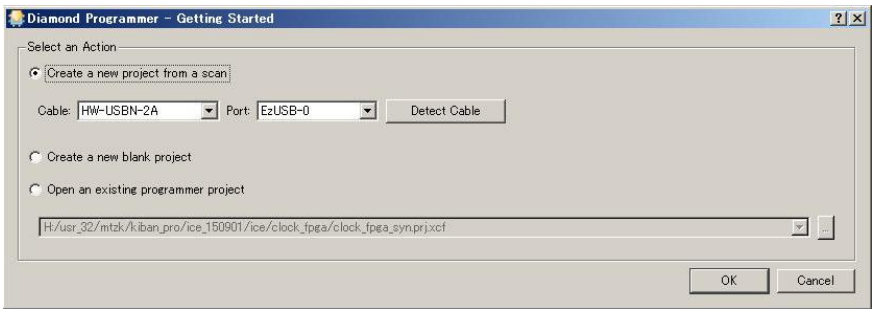
4 FPGA コンフィグレーション

表 3.5-1 コンフィグレーション関係モード一覧に示した各モードのコンフィグレーショモードの動作について説明します。

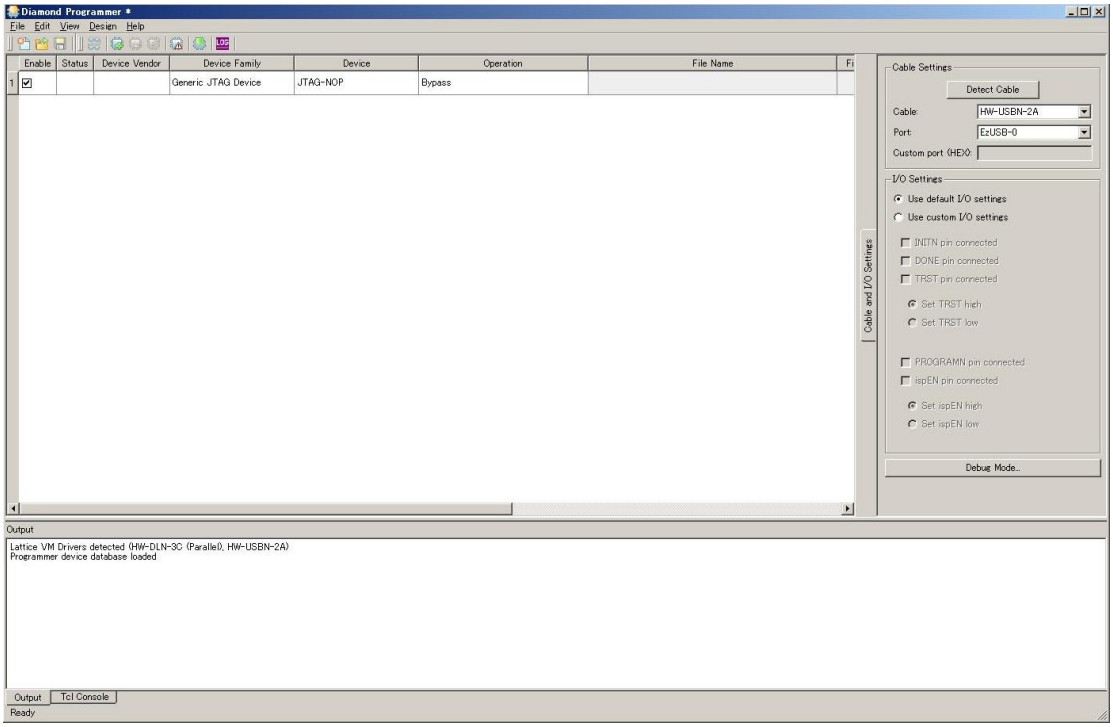
4.1 FPGA 内部 CRAM コンフィグレーションモード

1．Lattice Semiconductor が提供する Diamond Programmer ソフトを使用して書き込みを行います。

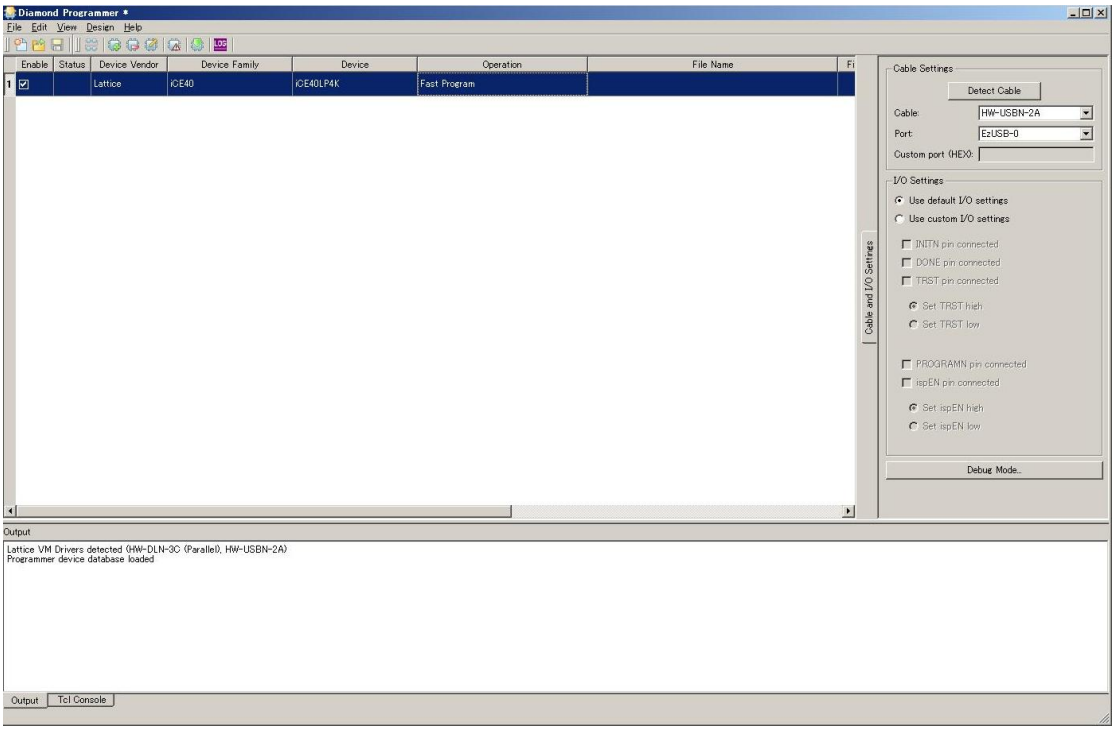
2．Diamond Programmer を起動します。



3．Create a new blank project をチェックして OK をクリックします。



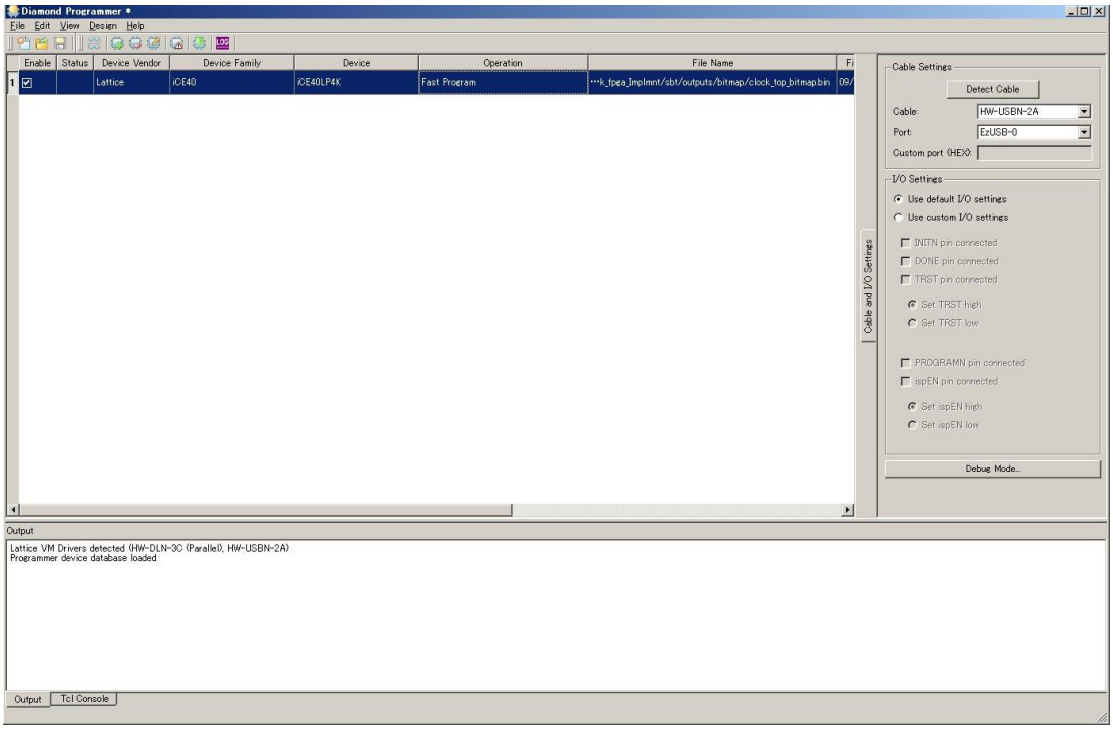
４．Device Family をクリックして ice40 を選択、Device をクリックして LP4K を選択します。



５．Operation をダブルクリックして CRAM Programing を選択し、コンフィグレーション用.bin データを選択し OK をクリックします。

６．この画面で Design タブから Program を選択します。

→FPGA 内部 CRAM へのコンフィグレーションが開始されます。



この画面を終了するときに設定を save するかどうか聞いてきますので、ファイル名を入力して save を行い終了します。（他のモードでも同様です。）

2 回目以降は３．で Open an existing programmer project を選択してプログラミングを行うことができます。（このとき５．の状態が保存されますので、６．以降を行う形となります。）

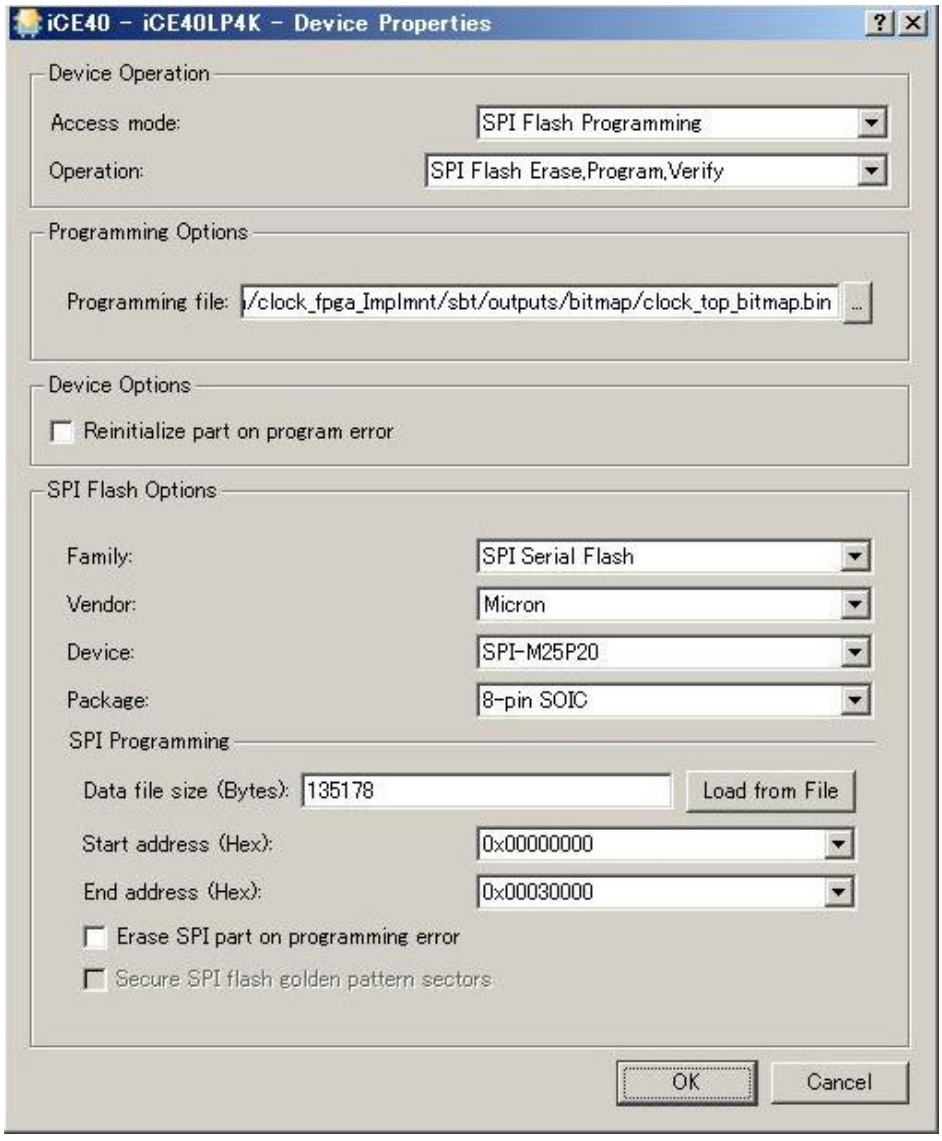
4.2 SPI フラッシュ書込みモード

１．から４．までは 4.1 と同じ操作です。

５．Operation をダブルクリックして SPI Flash Programing を選択し、コンフィグレーション用.bin データを選択します。

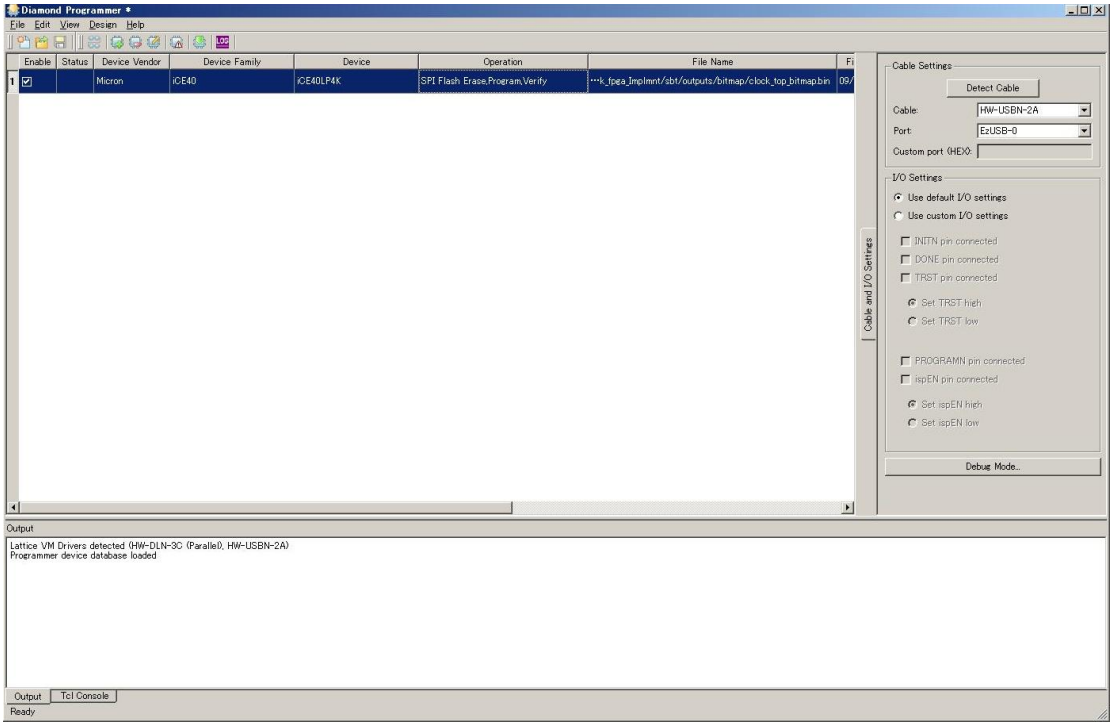
次に SPI Flash の型番を選択します。（この例では Micrn,SPI-M25P20,8-pin SOIC）

次に OK をクリックしてメイン画面に戻ります。



６．この画面で Design タブから Program を選択します。

→基板上の SPI フラッシュへのコンフィグレーションデータの書き込みが行われます。また同時に FPGA もコンフィグレーションされます。



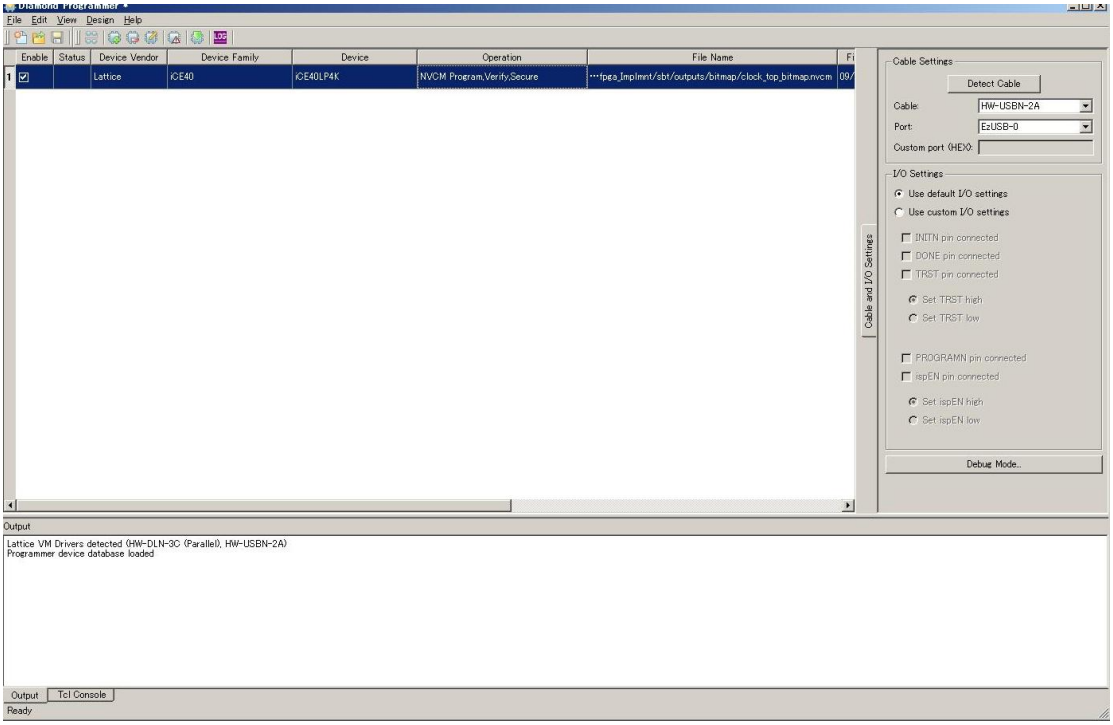
4.3 FPGA 内部 NVCM 書込みモード

１．から４．までは 4.1、4.2 と同じ操作です。

５．Operation をダブルクリックして NVCM ProgramingMode を選択し、コンフィグレーション用.nvcm データを選択します。（このときは.bin データではなく.nvcm データを使用します。）

６．この画面で Design タブから Program を選択します。

→FPGA 内部の不揮発性メモリ（NVCM）へのコンフィグレーションデータの書き込みが行われます。また同時に FPGA もコンフィグレーションされます。



4.4 SPI フラッシュからのコンフィグレーションモード

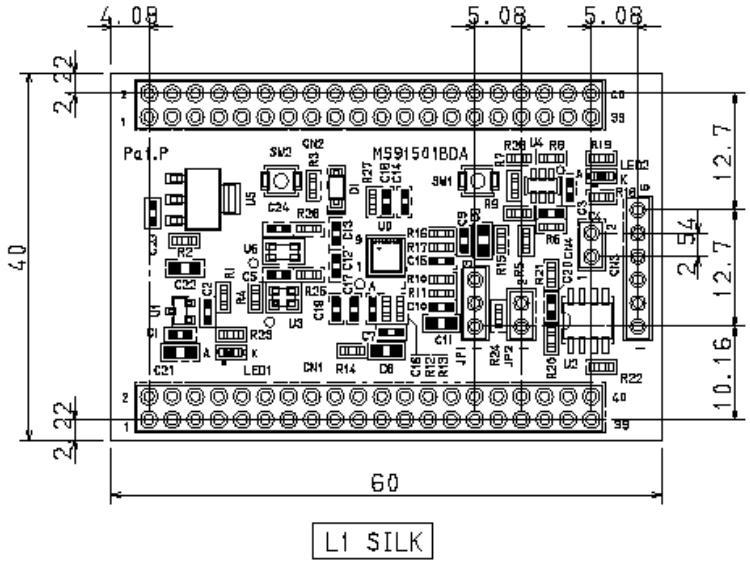
・ジャンパ SW、JP1 と JP2 を表 3.5-1 に従って SPI フラッシュからのコンフィグレーションモードに設定します。
・電源投入または基板上の SW1 の ON/OFF で SPI フラッシュからのコンフィグレーションが行われます。
・すでにコンフィグレーションデータが書き込まれた SPI フラッシュからのコンフィグレーションモードのときは Programmer ソフトを使用する必要はありません。

4.5 FPGA 内部 NVCM からのコンフィグレーションモード

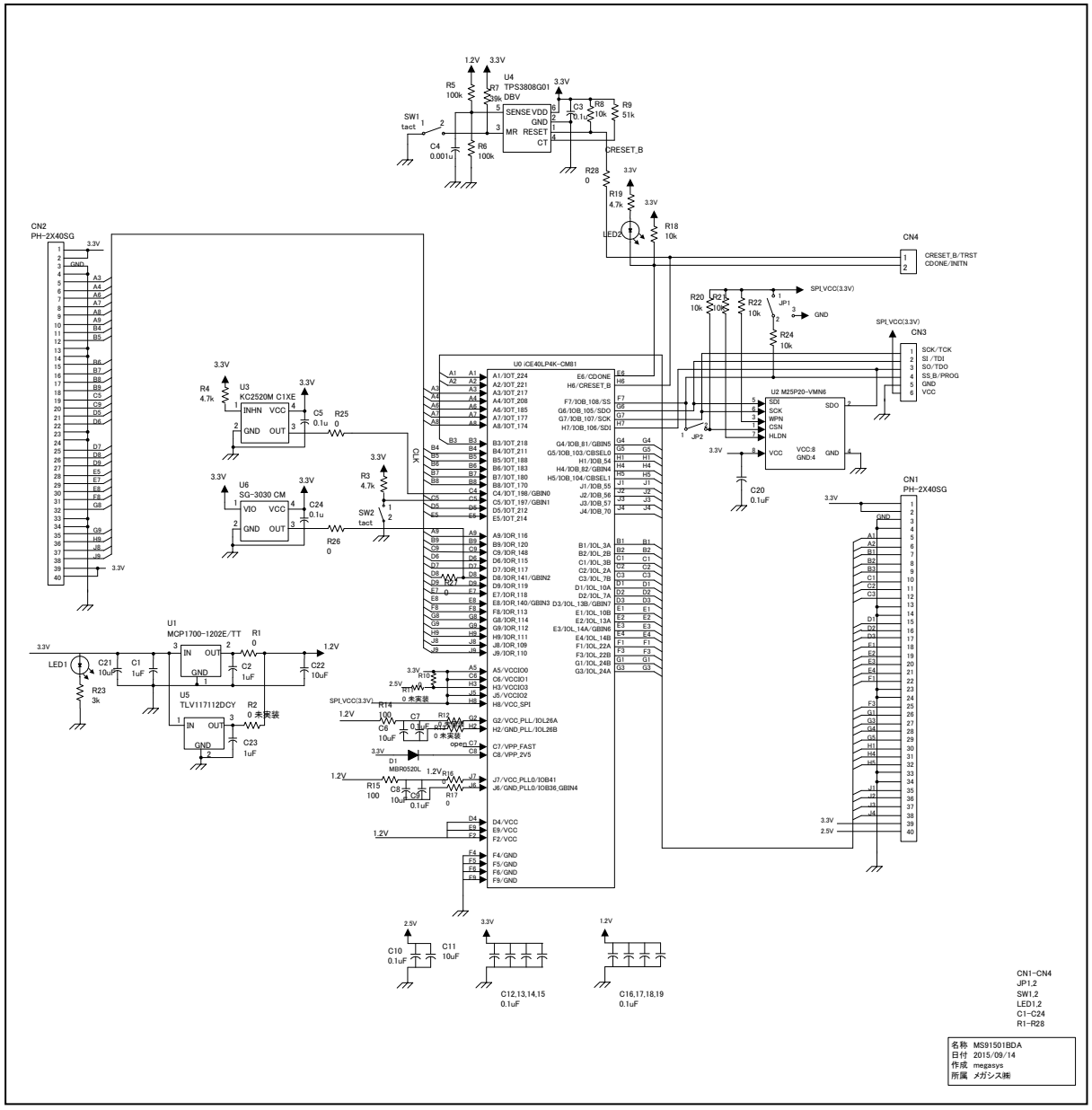
・ジャンパ SW、JP1 と JP2 を表 3.5-1 に従って FPGA 内部 NVCM からのコンフィグレーションモードに設定します。
・電源投入または基板上の SW1 の ON/OFF で SPI フラッシュからのコンフィグレーションが行われます。
・すでにコンフィグレーションデータが書き込まれた FPGA 内部 NVCM からのコンフィグレーションモードのときは Programmer ソフトを使用する必要はありません。

5 付属資料

5.1 基板外形図



5.2 基板回路図


CN1-CN4
JP1,2
SW1,2
LED1,2
C1-C24
R1-R28
名称 MS91501BDA
日付 2015/09/14
作成 megasys
所属 メガシス㈱

5.3 使用部品

MS91501BD 部品表

NO	機能	数	型番	コメント
U0	FPGA	1	iCE40LP4K-CM81	Lattice Semiconductor
U1	Voltage regulator	1	MCP1700T-1202E/TT(SOT23)	Micro Chip etc.
U2	Serial Flash	1	M25P20-VMN6(SO8)	Micron etc.
U3	OSC	1	KC2520B C1XE(or KC2520C C2XE)	Kyocera etc.
U4	Reset	1	TPS3808G01DBV(SOT23)	Texas Insturuments etc.
U5	Voltage regulator 2	1	TLV117112DCY(SOT223)(予備)	Texas Insturuments etc. 未実装
U6	OSC2	1	SG-3030CM	EPSON etc.
SW1,2	Tact Switch	2	B3U-1000P	Omron etc.
D1	Diode	1	MBR0520L(SOD-123)	ON Semiconductor etc.
LED1,2	LED	2	LHQ974(1608size) etc.	Chip type LED 赤
JP1	Jumper SW	3	2.54mm pitch 3PINx1 列	Harwin etc.
JP2	Jumper SW	2	2.54mm pitch 2PINx1 列	Harwin etc.
CN1,2	Connector	2	2x20=40PIN 2.54mm pitch	未実装
CN3	Connector	6	2.54mm pitch 6PINx1 列	Harwin etc.
CN4	Connector	2	2.54mm pitch 2PINx1 列	Harwin etc.

6 補足

弊社では FPGA 開発ツールおよび FPGA デバイスの内容についてのサポートは行っておりません。あらかじめご了承いただけますようお願いいたします。

1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。

2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。

3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。

4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。

© 2015 Mega-Sys Co., Ltd.

〒407-0014

山梨県韮崎市富士見３－１６－３７

メガシス株式会社

TEL:0551-23-0576

FAX:0551-23-0576

URL:http://www.megasys.co.jp